

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 7月 6日

#9

出 願 番 号
Application Number:

特願2001-206229

7/7/03
mw

出 願 人
Applicant(s):

株式会社日立製作所

NIT-288

09/920,834

Mattingley Stanger Malur
703 684-1120

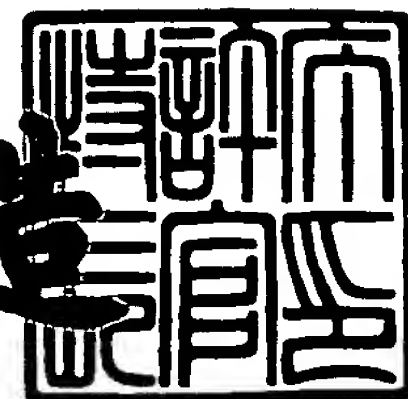
Dkt NIT-288



2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 NT01P0596

【提出日】 平成13年 7月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/306

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 小藤 直行

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 伊澤 勝

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置の製造装置

【特許請求の範囲】

【請求項 1】

試料上に第 1 の絶縁材料の層を形成する第 1 の工程と、上記第 1 の絶縁材料の層上に誘電率が 2.5 未満の第 2 の絶縁材料の層を形成する第 2 の工程と、上記第 2 の絶縁材料の層をプラズマエッチング法によってパターニング加工する第 3 の工程と、上記第 2 の絶縁材料の層上にスパッタリング法によって金属膜を堆積させる第 4 の工程と、上記金属膜上に銅層を形成する第 5 の工程と、上記銅層の不必要な部分をケミカル・メカニカル・ポリッシング法によって除去する第 6 の工程とを少なくとも有してなる半導体装置の製造方法において、上記第 3 の工程から上記第 4 の工程までの間の全工程をドライ処理条件下で行ない、かつ、上記第 6 の工程の後に、上記試料を純水によって洗浄する純水洗浄工程を設けてなることを特徴とする半導体装置の製造方法。

【請求項 2】

上記第 3 の工程の開始時点から上記第 4 の工程の終了時点までの全期間中上記試料を大気に触れさせないことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

上記第 3 の工程の後で上記第 4 の工程の前に、上記第 3 の工程により上記第 2 の絶縁材料の層にパターニング形成された開口を通して、上記第 1 の絶縁材料の層の所定の一部を NF_3 と Ar とを含む混合ガスのプラズマによってエッチング除去するためのエッチング処理工程をさらに含んでなることを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

上記のエッチング処理工程は、試料に印加する単位試料面積当たりのバイアス電力を 0.16 W/cm^2 以下に設定して行なわれることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

上記のエッチング処理工程は、処理プラズマ圧力を 0.5 Pa 以下に設定して行なわれることを特徴とする請求項 3 または請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

上記のエッチング処理工程の直後に、上記試料に O_2 プラズマ処理および H_2 プラズマ処理を施す工程がさらに含まれてなることを特徴とする請求項 3 ～ 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】

減圧処理室内に設けられた試料を載置するための試料台と、上記減圧処理室内に処理ガスを導入するためのガス導入手段と、上記処理ガスを上記減圧処理室外に排気するための排気手段と、上記減圧処理室内に上記導入処理ガスのプラズマを生成させる手段とを有するプラズマエッチング処理装置において、上記試料の背面に上記試料に磁場を印加するための磁場印加手段を設け、かつ、上記試料に ON-OFF 印加の OFF 期間が 10^{-6} 秒以下の負の DC 電圧を ON-OFF 印加するための電圧印加手段を設けてなることを特徴とするプラズマエッチング処理装置。

【請求項 8】

請求項 7 に記載のプラズマエッチング処理装置を用いて、試料上に設けられた銅層上に堆積された絶縁膜を、上記の負の DC 電圧値が 200 V 以下の条件下においてエッチング処理することを特徴とするドライエッチング方法。

【請求項 9】

スパッタ法によって半導体試料上に金属膜を堆積させるためのスパッタ処理室とドライエッチング法により半導体試料上の絶縁膜をエッチング処理するためのエッチング処理室とを有する半導体装置の製造装置において、さらに上記半導体試料のプラズマ処理を行なうためのプラズマ処理室を設け、かつ、可燃ガス及び支燃ガスの両方を排ガス処理することのできる排ガス処理設備をさらに付加してなることを特徴とする半導体装置の製造装置。

【請求項 10】

上記エッチング処理室内に少なくとも NF_3 ガス、 H_2 ガス、および O_2 ガスの

3種のガスを導入するためのガス導入手段がさらに付設されてなることを特徴とする請求項9に記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係わり、特に絶縁層形成材料として多孔質低誘電率絶縁材料を用い、導体層として銅材を用いた半導体装置の配線形成方法に関する。

【0002】

【従来の技術】

低誘電率絶縁材料を用いた半導体装置配線の形成法に関して、「信学技報；TECHNICAL REPORT OF IEICE, ED2000-136, SDM2000-118, ICD2000-72(2000-08), pp.87-92」（文献1）に“低誘電率膜を用いたCuデュアルダマシン配線の形成技術”と題して開示されている。また、洗浄技術としては、「技術情報協会出版（発行日：2000年12月27日）pp.295-305」（文献2）に、“次世代ULSI多層配線の新材料・プロセス技術”と題して開示されている。さらにまた、レジストアッシング技術としては「特開平11-176818号公報(対応米国特許第6,232,237号明細書)」（文献3）に開示の技術がある。

【0003】

【発明が解決しようとする課題】

本発明者らは、本発明に到るに先立って、低誘電率絶縁材料（以下、Low-K材と呼ぶ）と銅材とを用いた半導体装置配線の形成法として、以下に示す技術について検討した。その方法を図2の工程図に従って説明する。

【0004】

先ず、Low-K膜1と酸化シリコン(TEOS)層2の積層構造中に銅層3が埋め込まれたもの(初期状態試料)の上に、(工程1)でストッパ膜(例えばSiN膜等)4をCVD堆積し、(工程2)でLow-K膜5を塗布し、(工程3)でマスク材層6(例えばTEOS等)の堆積を行ない、さらに(工程4)で上記のストッパ膜と同種の材料をマスク材層7として堆積する。次に、(工程5)でレジスト膜8を塗布し

、該レジスト膜8に孔形状の開口をパターンニング形成し、(工程6)でこのレジスト膜8をマスクとしてマスク材層7のドライエッチングを行なってマスク材層7に孔形状の開口を形成する。さらに、(工程7)でレジスト膜8を剥離した後、(工程8)で新たにレジスト膜9を塗布して、該レジスト膜9に溝形状の開口をパターンニング形成し、(工程9)でマスク材層7をマスクとしてマスク材層6のドライエッチングを行なってマスク材層6に孔形状の開口を形成し、マスク材層6からなるハードマスクとする。

【0005】

次に、(工程10)で、レジスト膜9をマスクとしてマスク材層7をエッチング加工して、マスク材層7に溝形状の開口を形成し、マスク材層7よりなるハードマスクとする。次に、(工程11)でマスク材層6をマスクとしてLow-K膜5を異方性ドライエッチングして、孔形状の開口(Viaホール)10を形成する。次いで、(工程12)では、マスク材層7をマスクとしてマスク材層6を溝形状にドライエッチング加工する。この工程では、同時にレジスト膜9も除去される。

【0006】

さらに、(工程13)で、マスク材層7及びマスク材層6をマスクとしてLow-K膜5を異方性ドライエッチングして、溝形状の凹部11を形成する。次に、(工程14)で、Low-K膜5中に形成された孔形状の開口(Viaホール)10をマスク開口としてストッパ膜4をドライエッチング除去し、孔形状の開口を形成すると同時に、ストッパ膜4と同じ材質であるマスク材層7をドライエッチ除去する。次に、(工程15)で、前の工程でViaホール10の内壁面に付着した銅含有堆積物12や、溝形状凹部11の内壁面に付着したCF系堆積物13や、銅層3の表面に形成された銅の変質層14等を除去するために、アミン系の薬液を用いてのウェット洗浄を行ってから、(工程16)で、スパッタ法によりTaとTa₂Nとの積層膜15を堆積させ、さらに、(工程17)で、スパッタ法で銅層16を堆積させる。

【0007】

次いで、(工程18)で、前の工程でスパッタ堆積された銅層16上に銅膜17をメッキ法で堆積させてから、(工程19)で、銅層16、銅膜17、およびTa

・ T a N 積層膜 1 5 の余分な部分を C M P 法（ケミカル・メカニカル・ポリッシング法）で除去する。最後に、（工程 2 0）で、薬液洗浄を経て、第 1 層目の配線完了試料を得る。上記の工程 1 から工程 2 0 までを繰り返すことによって、多層配線を形成することができる。

【 0 0 0 8 】

高速動作の半導体装置では、絶縁膜として誘電率が 2.5 未満の極低誘電率の絶縁膜を使うことが必須となる。このような絶縁膜は、全て多孔質、すなわちスポンジ状の L o w - K 膜であるため、薬液洗浄工程によって吸湿し易く、容易に乾燥できない。この多孔質 L o w - K 膜の吸湿が最大の問題である。一般的な L o w - K 膜を使った図 2 図示の配線法では、工程 1 5 や工程 2 0 のような薬液洗浄工程があるため、この薬液洗浄工程で多孔質 L o w - K 膜が吸湿し、膜内に水分が残留する問題が生じる。例えば、前掲の文献 3 の方法を用いて二つの薬液洗浄工程を省略した場合でも、H₂O プラズマ処理により C F 系の堆積物 1 3 は除去できる。しかし、銅含有堆積物 1 2 は除去できないため、この銅含有堆積物 1 2 が多孔質 L o w - K 膜中に残留拡散して、多孔質 L o w - K 膜の電気的特性を劣化させる問題がある。さらに、この文献 3 の方法では、図 2 の方法に比べ、T E O S 層 2 とストッパ膜 4 との接着性が悪いために、熱処理等によって剥がれ易いと云う問題もある。

【 0 0 0 9 】

以上のように、吸湿性、銅含有堆積物や銅変質層の残留、及び低接着性の問題から、現状では、多孔質 L o w - K 膜と銅材とによる配線の形成は非常に難しいものとなっている。

【 0 0 1 0 】

従って、本発明の目的は、上述した問題点を解決して、多孔質 L o w - K 膜と銅材とによる良質な配線の形成を可能にする方法を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明者らは、先の工程 1 5 の薬液洗浄には、（1）C F 系堆積物 1 3 の除去、（2）銅含有堆積物 1 2 の除去、および（3）銅の変質層 1 4 の除去の 3 つの作用の

他に、(4)薬液洗浄工程中の純水洗浄によって、エッチング工程14でTEOS膜中に進入したフッ素を除去する第4の作用があることを見出した。

【0012】

前掲の文献3の方法では、純水洗浄を含む薬液洗浄工程が全く無いため、エッチング工程14でTEOS膜6中に進入したフッ素がそのまま残留してしまう。この残留フッ素が、次の第2層目配線の形成工程でTEOS膜6上に堆積されるストッパ膜4の接着性を低下させていると云うことが、本発明者らの研究により判ってきた。

【0013】

すなわち、本発明によれば、「試料上に第1の絶縁材料層(ストッパ膜)を形成する第1の工程と、上記第1の絶縁材料層上に誘電率が2.5未満の第2の絶縁材料層(多孔質Low-K膜)を形成する第2の工程と、上記第2の絶縁材料層をプラズマエッチング法によってパターニング加工する第3の工程と、上記第2の絶縁材料層上にスパッタリング法により金属膜を堆積させる第4の工程と、上記金属膜上に銅層を形成する第5の工程と、上記銅層の不必要な部分をケミカル・メカニカル・ポリッシング法によって除去する第6の工程とを少なくとも有してなる半導体装置の製造方法において、上記第3の工程から上記第4の工程までの間の全工程をドライ処理条件下で行ない、かつ、上記第6の工程の後に上記試料を純水によって洗浄する純水洗浄工程を設けてなることを特徴とする半導体装置の製造方法」が提供される。

【0014】

上記した第2の絶縁材料の層をプラズマエッチング法によりパターニング加工する第3の工程から第2の絶縁材料の層上にスパッタリング法によって金属膜を堆積させる第4の工程までの間の全工程をドライ処理条件下で行なうようにしたことにより、低誘電率の第2の絶縁材料層の吸湿を防止でき、上述した配線特性劣化の問題を回避でき、また、上記した試料を純水により洗浄する工程を新たに設けたことにより、上述したTEOS膜6中への残留フッ素による接着特性劣化の問題も無くすることができ、良質な配線の形成ができる。

【0015】

なお、上記第2の絶縁材料層をプラズマエッチング法によりパターンニング加工する第3の工程の開始時点から上記第2の絶縁材料層の上にスパッタリング法により金属膜を堆積させる第4の工程の終了時点までの全期間中は上記試料を大気に触れさせないようにすることが望ましい。そうすることによって、低誘電率の上記第2の絶縁材料層の吸湿を完全に防止でき、上述した配線特性劣化の問題を効果的に回避できる。

【0016】

また、上記第3の工程の後で上記第4の工程の前に、上記第3の工程によって上記第2の絶縁材料層（ストッパ膜）にパターンニング形成された開口を通して、上記第1の絶縁材料層を NF_3 と Ar とを含む混合ガスのプラズマによってエッチング除去するエッチング処理工程を含ませるのが望ましい。この NF_3 と Ar とを含んだ混合ガスプラズマの使用によって、試料に印加するバイアス電力を低く抑えることができ、それにより、下地である銅材がエッチングされるのを防止できるため、銅含有堆積物の付着の問題が生じない。また、 NF_3 ガスの作用によって CF 系堆積物の除去が可能になる。

【0017】

なお、上記の第1の絶縁材料の層（ストッパ膜）をプラズマエッチングする工程では、試料に印加する単位試料面積当たりのバイアス電力を 0.16 W/cm^2 以下とするのが望ましい。そうすることにより、下地である銅材までエッチングされるのを効果的に防止できる。

【0018】

また、上記の第1の絶縁材料の層（ストッパ膜）をプラズマエッチングする工程における処理圧力は 0.5 Pa 以下に設定されるのが望ましい。そうすることにより、ストッパ膜（ SiC 膜）のエッチングにより生成される SiF や CF が異物として試料に再付着するのを防止できる。

【0019】

さらにまた、上記した第1の絶縁材料の層（ストッパ膜）をプラズマエッチングする工程の直後に、試料に O_2 プラズマ処理および H_2 プラズマ処理を施す工程を設けるのが望ましい。そうすることにより、直前のプラズマエッチング工程で加

工孔(V i a ホール)の底面、つまり下地である銅層のフッ化された表面を清浄な表面に回復できる。

【 0 0 2 0 】

また、本発明によれば「減圧処理室内に設けられた試料を載置するための試料台と、上記減圧処理室内に処理ガスを導入するためのガス導入手段と、上記処理ガスを上記減圧処理室外に排気するための排気手段と、上記減圧処理室内に上記導入処理ガスのプラズマを生成させる手段とを有するプラズマエッチング処理装置において、上記試料の背面に上記試料に磁場を印加するための磁場印加手段を設け、かつ、上記試料にON-OFF印加のOFF期間が 10^{-6} 秒以下の負のDC電圧をON-OFF印加するための電圧印加手段を設けてなることを特徴とするプラズマエッチング処理装置」が提供される。

【 0 0 2 1 】

上記の電圧印加手段によって上記試料にON-OFF印加される負のDC電圧によって形成される試料面に垂直な電界と上記の磁場印加手段によって試料面に平行に形成される磁場との相互作用によって、上記ガス導入機構から導入されたエッチング用ガスのプラズマが効率良く生成される。そして、試料に印加される負電圧によって、生成プラズマ中の正イオンが加速されて試料面に入射し、試料のエッチング反応が進行する。また、印加負電圧の印加OFF期間中には電子が試料面に入射して、正イオン入射による試料への正電荷のチャージアップが防止される。このチャージアップ防止機能によりTEOS, SiN, SiC, Low-K膜の如き絶縁材料でも良好なエッチングが可能である。また、試料に正電圧が印加されないため、正イオンが処理室内壁面へ加速されて入射することが無いので、処理室内壁材料が削られて異物や金属汚染物を発生することが少ない。更に、印加負電圧の印加OFF期間 Δt を 10^{-6} 秒以下と十分短く設定したことにより、この印加OFF期間 Δt 中に正イオンが処理室内壁面まで到達できないため、イオン衝撃により処理室内壁材料が削られることは無くなる。

【 0 0 2 2 】

また、本発明によれば、上記のプラズマエッチング処理装置を用いて、試料上に設けられた銅層上に堆積された絶縁膜を、上記の負のDC電圧が200V以下

の条件下にてエッチング処理することを特徴とするドライエッチング方法が提供される。このように、試料に印加する負のDC電圧を200V以下に設定して銅層上に堆積された絶縁膜をエッチング処理することにより、下地の銅層3が全くエッチングされなくなるため、加工孔や加工溝の内壁面上に銅含有堆積物の付着が生じることが無い。

【0023】

さらに、本発明によれば、「スパッタ法によって半導体試料上に金属膜を堆積させるためのスパッタ処理室とドライエッチング法により半導体試料上の絶縁膜をエッチング処理するためのエッチング処理室とを有する半導体装置の製造装置において、更に上記半導体試料のプラズマ処理を行なうためのプラズマ処理室を設け、かつ、可燃ガス及び支燃ガスの両方を排ガス処理することのできる排ガス処理設備をさらに付加してなることを特徴とする半導体装置の製造装置」が提供される。このように、可燃ガスおよび支燃ガスの両方を排ガス処理できる排ガス処理設備を付加することにより、 H_2 等の可燃ガスと NF_3 や O_2 等の支燃ガスとの両方を使用して半導体試料に所望の処理を施すことができ、しかも処理室から排気される可燃ガスと支燃ガスとの両方を排ガス処理することができる。

【0024】

なお、上記の半導体装置の製造装置には、さらに少なくとも NF_3 ガス、 H_2 ガス、及び O_2 ガスの3種のガスを上記処理室内に導入するためのガス導入手段が付設されてなるのが望ましい。上記した3種のガスの導入手段を付設することにより、 NF_3 ガスプラズマによるCF系堆積物の除去が可能となり、また O_2 ガスプラズマによる酸化作用及び H_2 ガスによる還元作用を利用して汚染された(フッ化された)銅層表面の清浄な表面への回復処理が可能となる。

【0025】

図1に本発明による半導体装置の製造方法の基本工程図を示す。本発明による新工程では、図2に示した工程と比べて、次の二つの点で大きく異なっている。

(1) 先ず、図1の工程14では、 NF_3 ガスとArガスとの混合ガスを使ってストッパ膜4をエッチング処理する。この際、試料に印加する単位面積当たりのバイアス電力は $0.16W/cm^2$ 以下とする。この条件下においては銅層3が

全くエッチングされなくなるため、V i aホール10の内壁面上に銅含有堆積物の付着が生じない。また、 NF_3 ガス作用によって、工程9から工程13までの間で溝11やV i aホール10の内壁面上のC F系堆積物も除去される。

【0026】

以上のプロセスでは、孔や溝の内壁面上にC F系堆積物や銅含有堆積物が堆積することがなく、また、銅層3表面の変質層も除去されているため、エッチング後の薬液処理を必要としない。従って、工程16では薬液洗浄を行わず、直ちに次のT a・T a N積層膜15の堆積工程を行なえるため、薬液洗浄による吸湿の問題が発生しない。

【0027】

また、前掲の文献3の方法とは異なり、CMP工程20の後に、薬液洗浄工程21を設けている。このCMP工程後の薬液洗浄ではL o w - K膜が薬液と直接接触しないため、薬液による吸湿の問題が生じない。また、マスク材層としてのT E O S膜6中の残留フッ素を、上記の薬液洗浄工程中の純水洗浄処理によって除去できる。このため、ストッパ層4の接着性低下の問題も生じない。

【0028】

本発明の上記以外の目的、構成、並びに、奏する作用効果については、以下の実施例を挙げての詳細な説明の中で自ずから明らかにされよう。

【0029】

【発明の実施の形態】

以下、本発明の実施の形態につき、実施例を挙げ、図面を参照して詳細に説明する。

【0030】

(実施例1)

図1に、本発明の一実施例になる多孔質L o w - K膜(絶縁膜)と銅層(導電層)とからなる配線の形成方法の一連の工程を示す。本実施例では、本工程に従って多孔質L o w - K膜と銅層とからなる配線を形成させた。

【0031】

先ず、多孔質L o w - K材1とT E O S膜2との積層構造中に銅配線層3が埋

め込まれたもの(初期状態)を用意し、(工程1)で、その上にストッパ膜4となるSiN膜をCVD法で堆積させた。その後、(工程2)で、更にその上に有機材料からなる多孔質Low-K膜5を塗布形成し、(工程3)で、その上にマスク材層6となるTEOS膜をCVD堆積させ、(工程4)で、更にその上にマスク材層7としてのSiN膜をCVD堆積させた。次に、(工程5)で、レジスト膜8をパターンニング形成し、(工程6)で、 CHF_3 とAr及び O_2 との混合ガスのプラズマによってレジスト膜8をマスクにしてマスク材層7としてのSiN膜をドライエッチングし、マスク材層7に孔形状の開口をパターンニング形成した。

【0032】

次いで、(工程7)で、レジスト膜8を剥離除去した後に、(工程8)で、改めてレジスト膜9をパターンニング形成し、(工程9)で、 C_5F_8 とArおよび O_2 との混合ガスのプラズマにより、マスク材層7をマスクにして、マスク材層6としてのTEOS膜をドライエッチングし、マスク材層6に孔形状の開口をパターンニング形成した。次に、(工程10)で、 CHF_3 とAr及び O_2 との混合ガスのプラズマによって、レジスト膜9をマスクにして、マスク材層7としてのSiN膜をドライエッチングし、溝形状の開口を有するSiN膜マスクを形成した。次に、(工程11)で、 NH_3 ガスのプラズマを用いて、マスク材層6の孔形状の開口を通して、多孔質Low-K膜5を異方性ドライエッチングし、Viaホール10を形成した。次いで、(工程12)で、 C_5F_8 とAr及び O_2 との混合ガスのプラズマによって、溝形状開口を有するマスク材層7をマスクにして、マスク材層6としてのTEOS膜をドライエッチングし、マスク材層6に溝形状の開口を形成した。なお、この工程では、レジスト膜9も同時にエッチング除去される。

【0033】

次に、(工程13)では、 NH_3 ガスのプラズマを用いて、マスク材層6およびマスク材層7の溝形状開口を通して、多孔質Low-K膜5を異方性ドライエッチングして、溝形状の凹部11を形成した。次に、(工程14)で、 NF_3 とArとの混合ガスのプラズマを用いて、ストッパ膜4としてのSiN膜に孔形状開口を形成すると同時に、マスク材層7としてのSiN膜をドライエッチ除去した。ここで、(工程14)では NF_3 ガスとArガスとの混合ガスのプラズマを用いて

いるため、CF系の堆積物が溝側面に付着することがない。また、 NF_3 ガスとArガスとの混合ガスのプラズマを用いているため、試料(ウエハ)に印加すべきバイアス電力を低電力に抑えることができる。従来の CHF_3 ガスを用いるプロセスでは、単位試料面積当りの印加バイアス電力として 0.64 W/cm^2 以上の電力が必要なのに対し、本発明による NF_3 とArとの混合ガスを用いるプロセスでは、その $1/4$ の 0.16 W/cm^2 以下でもエッチングが可能である。本プロセスで印加バイアス電力を 0.16 W/cm^2 以下に抑えた場合、銅層3が殆んどエッチングされないため、銅含有堆積物がViaホール10の内壁面上に付着することがない。このため、CF系堆積物や銅含有堆積物を除去するための薬液洗浄工程が不要である。

【0034】

一方、銅層3の表面は、上記工程14の NF_3 ガス含有プラズマによる処理によってフッ化される。このフッ化銅層18を除去するために、先ず、(工程15)で、 O_2 プラズマ処理によってフッ化銅層18を酸化させ、酸化銅層19に置換する。この酸化銅層19を、次の(工程16)で、 H_2 プラズマ処理によって還元除去して、清浄な銅層表面20を生成する。次に、(工程17)で、スパッタ法によってTa・Ta₂N₅積層膜15を堆積させ、更に、(工程18)で、スパッタ法で銅層16を堆積させる。このスパッタ堆積された銅層16上に、(工程19)で、銅膜17をメッキで堆積させ、次に、(工程20)で、余分な銅層部分16、17及びTa・Ta₂N₅積層膜部分15をCMP法で除去する。このCMP除去工程後に、TEOS膜6中に残留したフッ素を、次の(工程21)で純水洗浄を含む薬液洗浄によって除去する。洗浄された試料を、再び工程1のSiN膜のCVD堆積工程から順に繰り返し処理することによって、多層配線を形成する。

【0035】

工程21の洗浄工程を省略した場合には、TEOS膜6や2中にフッ素が残留するため、次の工程1で堆積されるストッパ膜4とTEOS膜6や2との接着性が悪くなる。そのため、後の熱処理やワイヤボンディング時等においてウエハに加わる応力でストッパ膜4とTEOS膜2との界面で剥離が生じ易い。

【0036】

一方、上記した本発明の配線形成法では、工程 2 1 の洗浄で T E O S 膜 6 や 2 中のフッ素が良好に除去されるため、次の工程 1 で T E O S 膜 6 や 2 の上に堆積されるストッパ膜 4 の接着性が極めて高い。このため、配線形成歩留まりが大幅に向上される。また、本方法では、多孔質 L o w - K 膜が洗浄用薬液と直接接触する工程が無いため、多孔質 L o w - K 膜の吸湿性の問題が大幅に改善される。

【 0 0 3 7 】

以上、本発明の配線方法により形成された多孔質 L o w - K 膜と銅層との配線は、従来の配線方法によるものに比べ、信頼性が高く、歩留まりも高い。なお、本実施例では、ストッパ膜 4 及びマスク材層 7 として S i N 膜、マスク材層 6 として T E O S 膜を用いたが、他の材料についても同様の結果が得られる。また、本実施例では多孔質 L o w - K 膜 1 及び 5 として有機材膜を用いたが、S i O H 基を有する膜や S i O 基を有する膜の場合には、先の工程 1 1 および工程 1 3 のドライエッチングで F 含有ガスおよび A r ガスを含む混合ガスを用いれば、同様の結果が得られる。

【 0 0 3 8 】

(実施例 2)

実施例 1 の工程 1 4, 1 5, 1 6 では、異物や金属汚染の少ないプラズマ処理装置が必要である。そのためのプラズマ処理装置を図 4 に示す。本装置は、減圧処理室 2 1, 被処理試料 2 2 を載置するための試料台 2 3, 減圧処理室 2 1 内を排気するための排気機構 2 4, および、減圧処理室 2 1 内にガスを導入する機構 2 5 を備え、さらに、試料 2 2 の背面部に試料面に平行な磁力線を作り出すための磁石 2 6 を具備している。また、本装置では、試料 2 2 に電圧を印加するため電源 2 7 を具備しており、この電源 2 7 により、図 5 に示すような負の D C 電圧 V_0 が試料 2 2 に間欠的に印加される。この印加負電圧によって生じる試料 2 2 に垂直な電界と磁石 2 6 の作る試料面に平行な磁場の相互作用によってガス導入機構 2 5 から導入されたエッチング用ガスのプラズマ 2 8 が生成される。上記の試料 2 2 に印加された負電圧によって、プラズマ 2 8 中の正イオンが試料 2 2 に入射し、試料のエッチング反応が進行する。また、上記の D C 電圧の印加 O F F 期間中には、プラズマ 2 8 中の電子が試料 2 2 に入射して、先の正イオン入射に

よる試料 2 2 のチャージアップを中和する。このチャージアップ中和機能があるために、TEOS, SiN, SiC, Low-K 膜と云った絶縁材料でもエッチングが可能になった。また、この装置では、試料 2 2 に正電圧が印加されるタイミングがないため、正イオンが減圧処理室 2 1 の内壁へ加速されて入射することが無い。このため、減圧処理室 2 1 の内壁材料が削られることによる異物や金属汚染物の発生が少ない。特に、試料 2 2 への負の DC 電圧の印加 OFF 期間 Δt が 10^{-6} 秒より短い場合には、この DC 電圧の印加 OFF 期間 Δt 中にイオンが処理室 2 1 の内壁まで到達できないため、処理室 2 1 の内壁材料は全く削られない。

【 0 0 3 9 】

本装置を用いて、実施例 1 の工程 1 4 を実行した。ガス導入機構 2 5 により、処理室 2 1 内に NF_3 と Ar の混合ガスを導入し、試料 2 2 に前記した負の DC 電圧を間欠的に印加 (ON-OFF 印加) して、ストッパ膜 (SiC 膜) 4 をエッチングした。処理室 2 1 内の圧力を 0.5 Pa 以下に設定した場合、上記 SiC 膜のエッチングにより生成される SiF や CF が異物として試料 2 2 に再付着することを防止できることが判った。また、図 5 の印加負電圧値 V_o を 200 V 以下に設定することにより下地の銅層 3 が全くエッチングされなくなるため、Via ホール 1 0 や溝形状凹部 1 1 の内壁面上に銅含有堆積物の付着が見られなくなることを判った。

【 0 0 4 0 】

(実施例 3)

実施例 1 に示した配線方法において、工程 9 のマスク材層 6 のエッチング処理工程から工程 1 7 の Ta・Ta₂N 積層膜 1 5 のスパッタ処理工程までの間は、多孔質 Low-K 膜 5 の表面が処理室 2 1 の内部空間に剥き出しの状態 (露出状態) であるため、この間に試料 2 2 が大気と接触すると、大気中の水分により多孔質 Low-K 膜が吸湿するおそれがある。従って、この吸湿の問題を回避するためには、上記した工程 9 から工程 1 7 までのドライ処理を真空中で一貫して行なうことのできる半導体製造装置が必要である。これらの工程を真空中で一貫して行なうことのできる半導体処理装置の一構成例を、図 3 に示す。本装置は、マスク

材層をエッチング処理できる減圧処理室29, 多孔質LOW-K膜をエッチング処理できる減圧処理室30, NF_3 とArとの混合ガスのプラズマを使ってストッパ膜をエッチング処理できる減圧処理室31, H_2 ガスおよび O_2 ガスのプラズマを使って後処理を行なうことのできる減圧処理室32, スパッタ法にて金属膜を堆積処理することのできる減圧処理室33, 及び、これらの処理室間を減圧下でつなぐ減圧搬送室34と、真空搬送できる搬送ロボット35と、を具備している。また、本装置では H_2 等の可燃ガスと NF_3 や O_2 等の支燃ガスとの両方を使用するため、可燃ガスと支燃ガスとの双方を排ガス処理することのできる排ガス処理設備36を具備させてある。

【0041】

本半導体製造装置における配線形成工程の流れを次に説明する。試料は搬入口37よりマスクエッチ用の減圧処理室29内に搬入され、実施例1の工程9及び工程10のマスク加工処理が施される。その後、試料は搬送ロボット35によりLOW-K膜エッチ用の減圧処理室30内へと真空搬送され、工程11の多孔質LOW-K膜のエッチング処理が施される。その後、試料は再びマスクエッチ用の減圧処理室29内に搬入されて、工程12のマスク加工処理が行なわれる。次いで、試料はLOW-K膜エッチ用の減圧処理室30内へと搬送され、工程13のLOW-K膜エッチング処理が施される。その後、試料はストッパ膜エッチ用の減圧処理室31内に搬入されて、工程14のストッパ膜エッチング処理が施される。次いで、試料は後処理用減圧処理室32内に搬入されて、工程15の O_2 プラズマ処理と工程16の H_2 プラズマ処理とを施される。最後に、試料はスパッタ用の減圧処理室33内で工程17の金属膜堆積処理を施されてから、搬出口38より装置外(大気中)に取り出される。

【0042】

図3に示した装置構成とすることによって、試料を全く大気中に曝すことなくして、工程9から工程17までの間の全ての処理を施すことができるため、大気中の水分による多孔質LOW-K膜の吸湿の問題を完全に避けることができる。このため、より信頼性の高い配線形成が可能となり、半導体装置製造の歩留まりを向上できる。さらに、後処理用減圧処理室32やストッパ膜エッチ用減圧処理

室 3 1 を実施例 2 のプラズマ処理装置と同じ構成にすることにより、異物や汚染の問題が無くなり、極めて信頼性の高い半導体装置を製造することができる。

【 0 0 4 3 】

【発明の効果】

本発明によれば、配線間材料として、例えば多孔質 LOW-K 膜等の低誘電率絶縁材料を用いる半導体装置の配線形成に際して、上記低誘電率絶縁材料の吸湿を防止し、もって信頼性の高い配線形成を可能にすることができ、それにより、半導体装置の製造歩留まりを大幅に向上させることができる。

【図面の簡単な説明】

【図 1】 本発明に先立って検討した配線形成方法の一例を示す工程図。

【図 2】 従来の半導体装置の配線形成方法を示す工程図。

【図 3】 本発明による半導体装置の配線形成に使用される半導体製造装置の概略構成を示す図。

【図 4】 本発明による半導体装置の配線形成に使用されるプラズマ処理装置の概略構成を示す図。

【図 5】 図 4 に示したプラズマ処理装置における試料(ウェハ)への印加負電圧の時間変化を示す図。

【符号の説明】

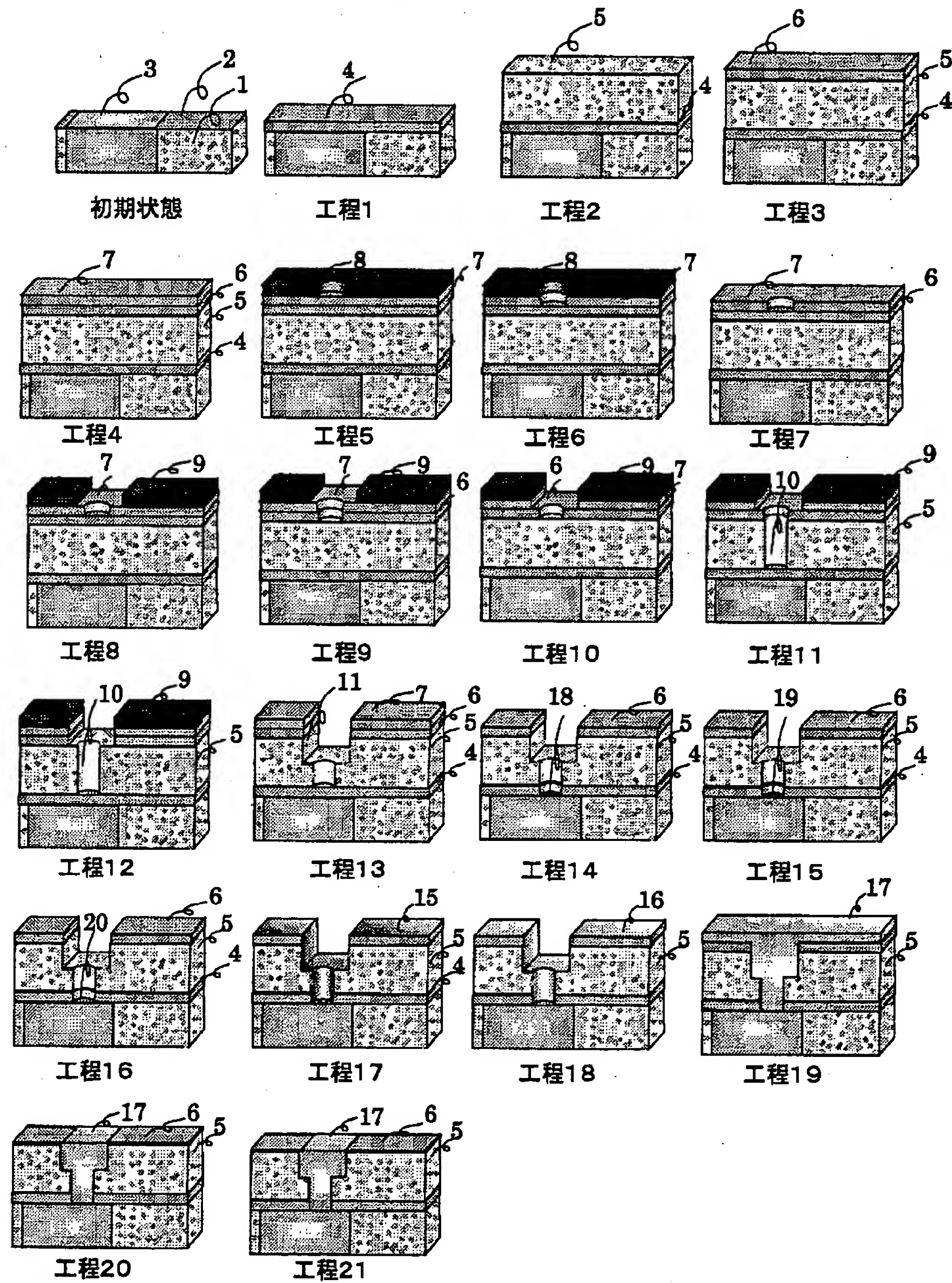
- | | |
|--|-------------------|
| 1 …多孔質 LOW-K 膜, | 2 …TEOS 膜, |
| 3 …銅配線層, | 4 …ストッパ膜(SiN 膜), |
| 5 …多孔質 LOW-K 膜, | 6 …マスク材層(TEOS 膜), |
| 7 …マスク材層(SiN 膜), | 8 …レジスト膜, |
| 9 …レジスト膜, | 10 …Via ホール, |
| 11 …溝形状凹部, | 12 …銅含有堆積物, |
| 13 …CF 系堆積物, | 14 …銅の変質層, |
| 15 …Ta・Ta ₂ N ₅ 積層膜, | 16 …銅層, |
| 17 …銅膜, | 18 …フッ化銅層, |
| 19 …酸化銅層, | 20 …清浄な銅層表面, |
| 21 …減圧処理室, | 22 …試料, |

- | | |
|--------------------|---------------------|
| 23…試料台, | 24…排気機構, |
| 25…ガス導入機構, | 26…磁石, |
| 27…電源, | 28…プラズマ, |
| 29…マスクエッチ用減圧処理室, | 30…LOW-K膜エッチ用減圧処理室, |
| 31…ストッパ膜エッチ用減圧処理室, | 32…後処理用減圧処理室, |
| 33…スパッタ用減圧処理室, | 34…減圧搬送室, |
| 35…真空搬送ロボット, | 36…排ガス処理設備, |
| 37…試料搬入口, | 38…試料搬出口。 |

【書類名】 図面

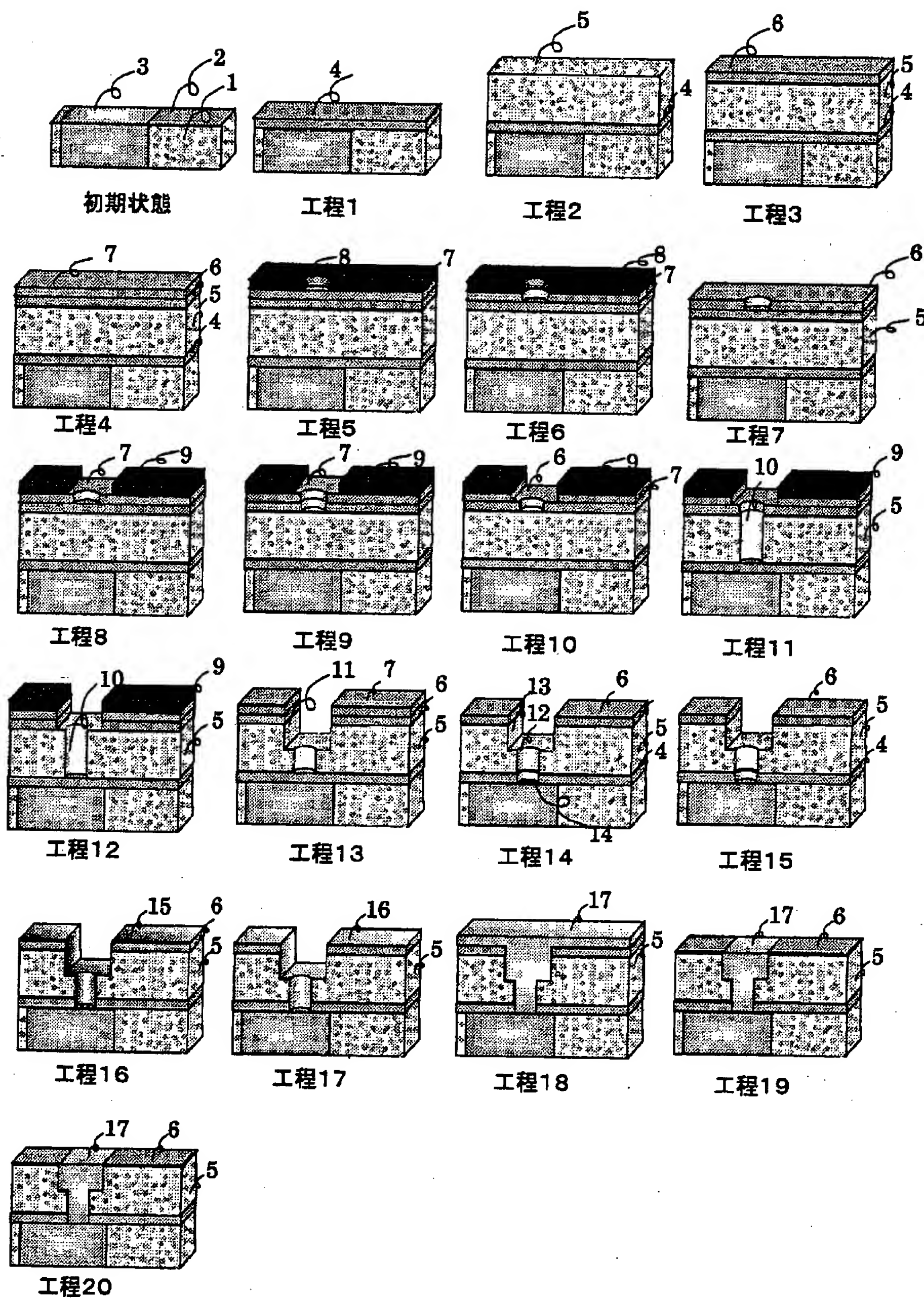
【図1】

図1



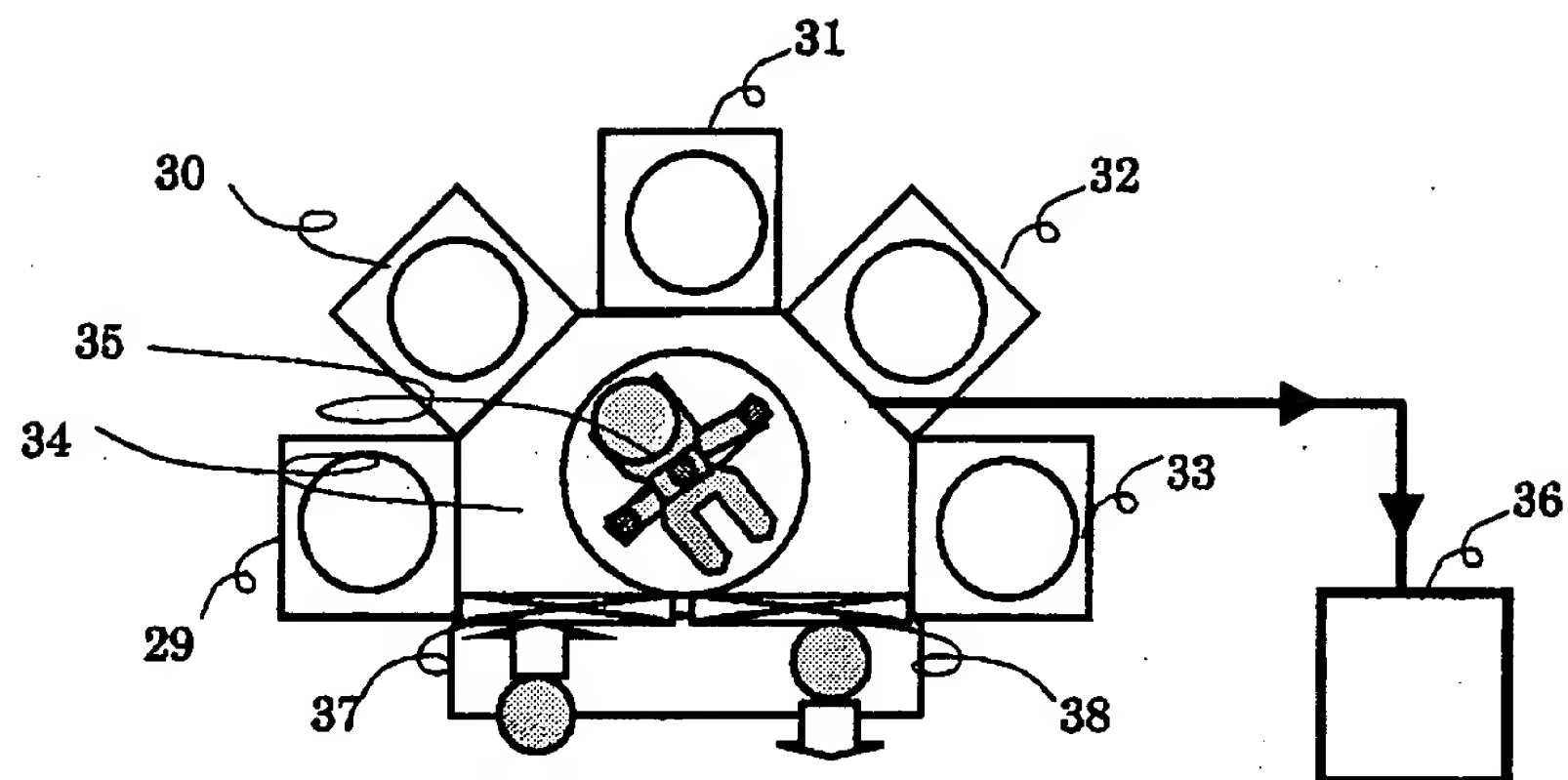
【図2】

図2



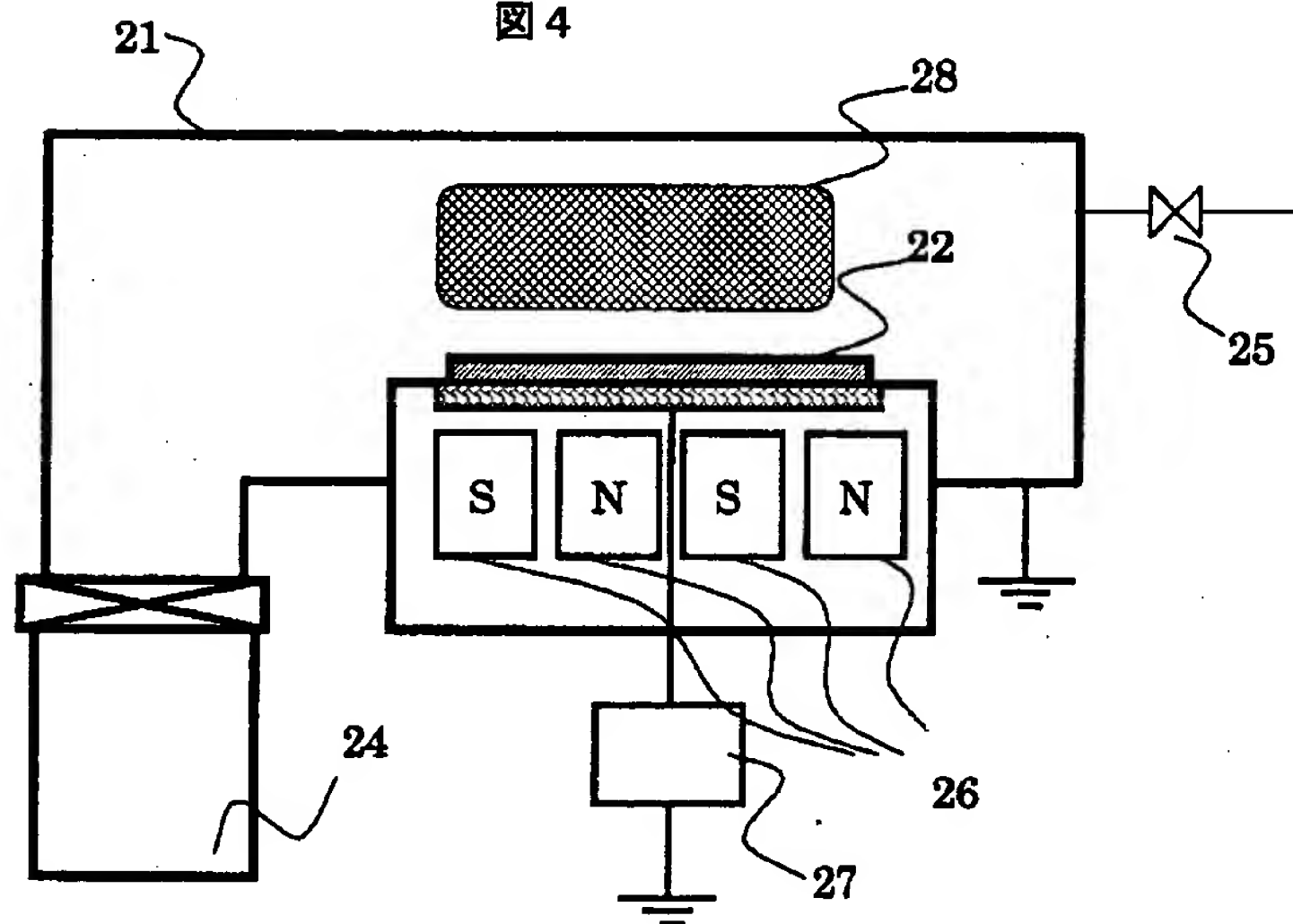
【図 3】

図 3



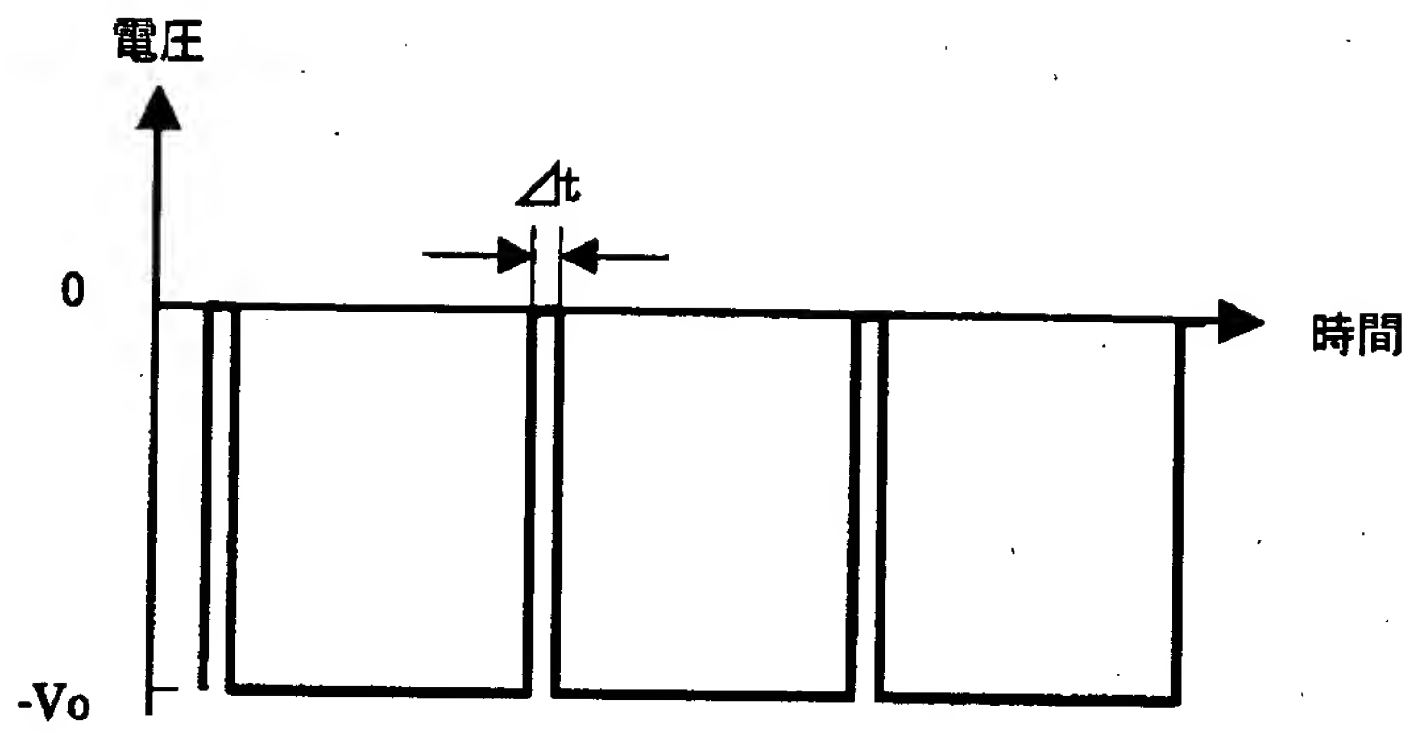
【図 4】

図 4



【図5】

図5



【書類名】 要約書

【要約】

【課題】

銅層と多孔質低誘電率絶縁膜からなる半導体装置配線の形成工程における信頼性及び歩留まりを向上させること。

【解決手段】

マスク材層 6 としての T E O S 膜のエッチング処理工程(工程 9)からその後の T a ・ T a N 積層膜 1 5 のスパッタリング堆積(工程 1 7)までの間は、マスク材層 6 の下地層である多孔質低誘電率絶縁膜(多孔質 L O W - K 膜) 5 の表面が露出した状態であるため、この期間内に試料(ウエハ)を大気に曝すと、大気中の水分により多孔質 L O W - K 膜 5 が吸湿して、該膜 5 の電気的特性を劣化させ、ひいては配線特性を損ねると云う問題がある。そこで、本発明では、上記した工程 9 から工程 1 7 までの全工程中、試料(ウエハ)を大気に曝すことなく、減圧処理室内で一貫してドライ処理することにより、上記した多孔質 L O W - K 膜 5 の吸湿を避けると共に、工程 2 0 での C M P 処理の後に、純水洗浄を含む薬液洗浄工程(工程 2 1)を設け、この洗浄工程 2 1 により T E O S 膜 6 中に残留したフッ素を洗浄除去して、この残留フッ素により次の第 2 層目配線の形成工程でマスク材層(T E O S 膜) 6 上に新たに堆積されるストッパ膜 4 の接着性が低下されると云う問題が生じるのを回避している。

【効果】

低誘電率絶縁膜(多孔質 L O W - K 膜) 5 の吸湿の問題を回避でき、かつ、この低誘電率絶縁膜 5 上の T E O S 膜($S i O_2$ 膜) 6 とストッパ膜($S i N$ 膜) 4 との間での剥がれ発生の問題をも回避できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所